

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-262037

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.⁶

G 0 6 F 11/22

識別記号

庁内整理番号

3 4 0 A

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号

特願平6-53920

(22) 出願日

平成6年(1994)3月24日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 内田 覚

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 萩原 吉宗

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 平地 和春

東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 介理士 大日方 富雄

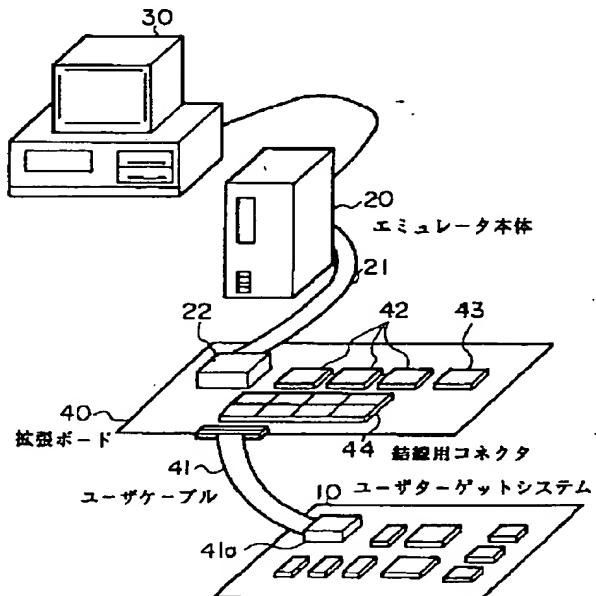
最終頁に続く

(54) 【発明の名称】 エミュレータの構成方法およびエミュレータ用拡張ボード

(57) 【要約】 (修正有)

【構成】 周辺エミュレーションチップ42およびエミュレータ本体20のポッド部22が接続可能な複数のソケットとそれらのICおよびポッド部が搭載もしくは接続された時にカスタム・マイクロコンピュータの機能を実現可能なように設計された配線および結線用コネクタ44を備え、かつユーザシステムのCPUソケットに接続可能なケーブルを備えた拡張ボード40を作成しておき、該拡張ボードに所望の周辺機能回路ブロックを備えた周辺エミュレーションチップを所望の数だけ搭載して、この拡張ボードをエミュレータ本体と応用システムとの間に接続してエミュレータを構成する。

【効果】 周辺モジュールを個別にIC化する必要がないためカスタム・マイクロコンピュータおよびそれを用いたユーザシステム用のエミュレータを開発する場合の期間が短縮されるとともに、モジュール間の多くの信号の伝達は半導体チップ内で行なわれるためエミュレータの高速化が図れる。



1

【特許請求の範囲】

【請求項1】 複数の周辺機能回路ブロックを一つの半導体チップ上に搭載した1種または2種以上の周辺エバリュエーションチップを作成しておくとともに、それらの周辺エバリュエーションチップおよびエミュレータ本体から延設された接続ケーブル先端のボッド部もしくはプラグと結合可能な複数のソケットとこれらのソケットに上記周辺エバリュエーションチップおよびボッド部もしくはプラグが接続された時にマイクロコンピュータの機能を実現するように設計された配線もしくは配線および結線用コネクタを備えたかつエミュレーション対象となる応用システムのCPUソケットに接続可能なケーブルを備えた拡張ボードを作成しておき、該拡張ボードに所望の周辺機能回路ブロックを備えた周辺エバリュエーションチップを所望の数だけ搭載して、この拡張ボードをエミュレータ本体と応用システムとの間に接続してエミュレータを構成するようにしたことを特徴とするエミュレータの構成方法。

【請求項2】 複数の周辺機能回路ブロックを一つの半導体チップ上に搭載した周辺エバリュエーションチップおよびエミュレータ本体から延設された接続ケーブル先端のボッド部もしくはプラグが接続可能な複数のソケットとそれらのソケットに上記周辺エバリュエーションチップおよびボッド部もしくはプラグが接続された時にマイクロコンピュータの機能を実現可能なように設計された配線結線用コネクタを備え、かつユーザシステムのCPUソケットに接続可能なケーブルを備えてなることを特徴とするエミュレータ用拡張ボード。

【請求項3】 ユーザが設計した論理を構成した論理ICが搭載可能なソケットを備えていることを特徴とする請求項2に記載のエミュレータ用拡張ボード。

【請求項4】 上記ソケットに搭載された上記周辺エバリュエーションチップ間または上記周辺エバリュエーションチップとユーザ論理ICとの間を任意に接続可能な結線用コネクタを備えていることを特徴とする請求項2または3に記載のエミュレータ用拡張ボード。

【請求項5】 上記周辺エバリュエーションチップまたは周辺エバリュエーションチップおよび上記論理ICは、共通のピン配置にされていることを特徴とする請求項2、3または4に記載のエミュレータ用拡張ボード。

【請求項6】 複数の周辺機能回路ブロックと、これらの周辺機能回路ブロックに対する制御信号を形成するとともに外部のバスとの間のインタフェースを行なうコントロール回路と、上記周辺機能回路ブロック間および上記コントロール回路との間を接続する内部バスとが一つの半導体チップ上に搭載されてなることを特徴とするエミュレータ用周辺エバリュエーションチップ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、エミュレーション技術

2

さらにはマイクロコンピュータもしくはそのマイクロコンピュータと同等の機能を有する評価用マイクロコンピュータ（以下、評価用マイコンと称する）を搭載し、そのマイクロコンピュータの機能を代行し、マイクロコンピュータ応用システムのデバッグを可能とするエミュレータに適用して有効な技術に関し、特にスタンダードセル方式で設計されたカスタム・マイクロコンピュータを用いた応用システム（以下、ユーザシステムと称する）のエミュレータに利用して好適な技術に関する。

10 【0002】

【従来の技術】 従来、ユーザーが所望する機能および仕様を有するカスタム・マイクロコンピュータの設計手法として、例えば汎用マイクロコンピュータで既に使用され実績のある機能回路ブロック（以下、モジュールと称する）をそれぞれデータベースに登録し、図12に示すようにライブラリとして用意しておいて、その中から所望のモジュールをユーザーに選択させ、それらのモジュールを1つの半導体チップ1上に配置して各モジュール2、2……間を結線するようにしたいいわゆるスタンダードセル方式のLSI設計方法が知られている。

20

【0003】 一般に、また、かかる設計手法により設計されたカスタム・マイクロコンピュータを用いたユーザシステムおよび応用プログラム（ユーザプログラム）のデバッグやそのシステムの詳細な評価を行なう場合、ターゲットとなるシステムのマイクロコンピュータの機能を代行する評価用マイクロコンピュータと、エミュレーションや各種デバッグ機能を実現するためのエミュレーション制御部、ユーザプログラムの実行やトレースの停止条件を設定し、条件が成立したときにユーザプログラムもしくはトレースを停止させるブレーク制御部、トレースメモリ、ユーザシステムのメモリが用意されていない場合に貸し出しされる代行メモリ、ホストコンピュータとの間でデータ通信を行なうためのシリアルインタフェースおよびそれらの制御を司るマスタマイクロコンピュータなどから構成されたエミュレータが使用されている。

30

【0004】 ところで、従来の上記エミュレータにおいては、ユーザシステムのCPUソケットに差し込まれるボッドと呼ばれる部分にターゲットとなるシステムのマイクロコンピュータと同一の機能を有する評価用マイクロコンピュータが内蔵されている。従って、スタンダードセル方式により設計されたカスタム・マイクロコンピュータを用いた応用システムのデバッグを行なう場合には、上記ボッド部にカスタム・マイクロコンピュータと同一の機能を有する評価用マイクロコンピュータを内蔵したエミュレータを新たに開発する必要がある。

40

【0005】 しかしながら、そのような方式では、エミュレータの開発に時間がかかりすぎるとともに、設計されたカスタム・マイクロコンピュータそのものに不具合があると、カスタム・マイクロコンピュータはもちろ

50

3

評価用のマイクロコンピュータも設計し直さなければならない。また、ユーザは汎用マイクロコンピュータを用いた応用システム用に開発されたエミュレータを所有していても、カスタム・マイクロコンピュータおよびそれを用いた応用システムを開発した場合には、カスタム・マイクロコンピュータ用のエミュレータを新たに購入しなければならないという問題点があった。

【0006】

【発明が解決しようとする課題】そこで、カスタム・マイクロコンピュータの周辺モジュールをそれぞれ別個にIC化したものを用意しておくとともに、それらのモジュールICおよびエミュレータのボッド部が接続可能なソケットを備えそれらが搭載および接続された時にカスタム・マイクロコンピュータの機能を実現可能なように設計されかつユーザシステムのCPUソケットに接続可能なケーブルを備えたプリント基板（以下、拡張ボードと称する）を用意することにより、カスタム・マイクロコンピュータのプロセッサ部に使用されるのと同じ機能を有する汎用マイクロコンピュータを用いた応用システム用に開発されたエミュレータを使用して、カスタム・マイクロコンピュータを用いたユーザシステムのデバッグやそのシステムの詳細な評価を行なえるようにした技術が提案されている（特開平1-243134号）。

【0007】しかしながら、上述した技術にあっては、次のような問題のあることが本発明者らによってあきらかとされた。

【0008】すなわち、カスタム・マイクロコンピュータの周辺モジュールは比較的種類が多いとともに汎用製品としてIC化されていないため、それらを個別にIC化しようとするとき非常に手間がかかる。また、CPUとは別個に各周辺モジュールをIC化するとモジュール間の信号の伝達が外部バスを介して行なわなくてはならないため、システムの動作速度が遅くなるとともに、モジュールごとにIC化すると拡張ボードに設けるソケットの数も多くなるためボードが大型になってしまう。

【0009】本発明の目的は、カスタム・マイクロコンピュータおよびそれを用いたユーザシステムの開発期間を短縮できるようなエミュレータを提供することにある。

【0010】本発明の他の目的は、カスタム・マイクロコンピュータを用いたユーザシステムのエミュレーションを行なう装置の小型化を図ることにある。

【0011】本発明の他の目的は、カスタム・マイクロコンピュータ用のエミュレータの高速化を図ることにある。

【0012】本発明の他の目的は、汎用マイクロコンピュータを用いた応用システム用に開発されたエミュレータを使用して、カスタム・マイクロコンピュータを用いたユーザシステムのデバッグやそのシステムの詳細な評価を行なえるようにすることにある。

4

【0013】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【0015】すなわち、本発明のエミュレータは、CPUの周辺モジュールをそれぞれ一つの半導体チップ上に形成する代わりに、複数の周辺モジュールを一つの半導体チップ上に搭載したエミュレータ用周辺IC（以下、周辺エバリュエーションチップと称する）を用意しておくとともに、それらの周辺エバリュエーションチップおよびエミュレータのボッド部が接続可能な複数のソケットとそれらのICおよびボッド部が搭載もしくは接続された時にカスタム・マイクロコンピュータの機能を実現可能なように設計された配線もしくは結線用コネクタを備え、かつユーザシステムのCPUソケットに接続可能なケーブルを備えた拡張ボードを用意しておくようにしたものである。

【0016】上記の場合、好ましくはユーザが設計した論理回路を例えばゲートアレイによりIC化したものを搭載可能にするソケットを拡張ボードに設けておく。

【0017】さらに、上記周辺エバリュエーションチップおよびユーザ論理ICはピン配置を共通化して互換性を持って拡張ボードに搭載できるように構成しておくのがよい。

【0018】

【作用】本発明によれば、周辺モジュールを個別にIC化する必要がないためカスタム・マイクロコンピュータおよびそれを用いたユーザシステム用のエミュレータを開発する場合の期間が短縮されるとともに、モジュール間の多くの信号の伝達は半導体チップ内で行なわれるためカスタム・マイクロコンピュータ用のエミュレータの高速化を図ることができる。

【0019】また、エミュレータを構成するチップの数が少ないため、拡張ボードに設けられるソケットの数も少なく済みボードの小型化を図ること可能となる。

【0020】さらに、ユーザ論理回路を搭載可能なソケットを拡張ボードに設けることにより、多種多様なカスタム・マイクロコンピュータおよびそれを用いたユーザシステムを短期間に開発することができる。

【0021】また、周辺エバリュエーションチップおよびユーザ論理ICのピン配置を共通化して互換性を持って拡張ボードに搭載できるように構成すれば、柔軟性の高いエミュレータを実現することができる。

【0022】

【実施例】以下、本発明の一実施例を詳細に説明する。図1は本発明の概念すなわちカスタム・マイクロコンピュータを用いたユーザシステムのエミュレータに適した

システムの構成例を示す。

【0023】図1において、10はターゲットとなるユーザシステム、20はユーザシステム10のボード上に設けられたカスタム・マイクロコンピュータIC搭載用のCPUソケットに接続可能なケーブル21を備え、エミュレーションを実行してその間のユーザシステムの状態を逐次サンプリング（いわゆるトレース）したりする機能を有するエミュレータ本体、30はエミュレータ本体20が採取したデータを受け取って解析するためのワークステーションもしくはパーソナルコンピュータ、40は上記エミュレータ本体20とユーザシステム10とを接続しかつユーザが開発しようとするカスタム・マイクロコンピュータに必要な周辺回路機能を提供するための拡張ボードである。上記拡張ボード40には、ターゲットとなるユーザシステム10上のCPUソケットと同一のソケットが設けられているとともに、ユーザシステム10上のCPUソケットに接続可能なケーブル41を備えている。

【0024】通常は、上記ケーブル21先端のボッド部22がユーザシステム10のCPUソケットに接続されるが、この実施例では上記ボッド部22が拡張ボード40上のCPUソケットに接続され、拡張ボード40から延長された上記ケーブル41先端のプラグ41aがユーザシステム10のCPUソケットに接続されるようになっている。これによって、汎用マイクロコンピュータを用いた応用システム用に開発されたエミュレータをそのまま使用して、カスタム・マイクロコンピュータを用いたユーザシステムのデバッグやそのシステムの詳細な評価を行なえるようになる。

【0025】上記エミュレータ本体20は、エミュレーションや各種デバッグ機能を実現するためのエミュレーション制御部、ユーザプログラムの実行やトレースの停止条件を設定し、条件が成立したときにユーザプログラムもしくはトレースを停止させるブレーク制御部、トレースメモリ、ユーザシステム10に十分な容量のメモリが用意されていない場合に貸し出しされる代行メモリ、ホストコンピュータ30との間でデータ通信を行なうためのシリアルインタフェースおよびそれらの制御を司るマスタマイクロコンピュータなどから構成されている。

【0026】また、この実施例では、ユーザシステム10のCPUソケットに接続可能なケーブル21の先端のボッド部22には、ユーザが開発したカスタム・マイクロコンピュータのプロセッサ部を構成する汎用マイクロコンピュータと同一の機能を有しその機能を代行する評価用マイクロコンピュータが内蔵されている。この評価用マイクロコンピュータは、上記汎用マイクロコンピュータと同一のハードウェアの他にエミュレーション制御回路を備えている（図3参照）。

【0027】上記拡張ボード40上には、複数の周辺モジュールを一つの半導体チップ上に搭載した周辺エバ

リュエーションチップ42およびユーザが設計した論理を構成するゲートアレイ43を差込み可能な複数のソケットと、これらのソケットに上記ICが差し込まれた状態でボッド部22の評価用マイクロコンピュータとともに所望の機能のカスタム・マイクロコンピュータを構成できるように設計された配線と、各IC間を任意に接続可能な結線用コネクタ44とが設けられている。上記結線用コネクタ44は、ボード40上のそれぞれのソケットから延設された配線が接続された複数の端子を備え、任意の端子間にジャンパ線を橋架させることによって所望の端子間を接続できるように構成されている。

【0028】図2には、上記拡張ボード40上のソケットにエミュレータのボッド部22と3個の周辺エバリュエーションチップ42およびユーザ論理IC43を接続した場合における回路構成が示されている。この実施例では、周辺エバリュエーションチップ42として3種類すなわちマイコン周辺機能回路をモジュールとして集めたマイコン周辺エバリュエーションチップ42Aと、通常は標準品として提供されるマイコン周辺LSIを集めたASSPエバリュエーションチップ42Bと、アナログ回路をモジュールとして集めたアナログエバリュエーションチップ42Cとが搭載されている。

【0029】上記マイコン周辺エバリュエーションチップ42Aは、カスタム・マイクロコンピュータを開発する際に、ボッド部22内の評価用マイクロコンピュータの有する周辺機能回路のみでは足りない場合にこれを補充するためのものである。ASSPエバリュエーションチップ42Bには、例えばカレンダークロックIC（CCI）やCRTコントローラ（CRTC）、液晶コントローラ（LCTC）等が搭載される。

【0030】アナログエバリュエーションチップ42Cには、ハードディスク用A/D、D/A変換器（HDDADC、HDDDAC）やビデオ用A/D変換器、D/A変換器、通常のシングルチップマイコンで使用されているものよりも高精度のA/D、D/A変換を行なうA/D、D/A変換器（ADC、DAC）が搭載されている。その他にも例えば、オペアンプやコンパレータ、基準電圧発生回路等を搭載してもよい。その場合、それらの回路は内部バスに接続しないで半導体チップ上に設けられた入出力パッドに接続させるようにしてもよい。上記ビデオ用A/D変換器、D/A変換器も内部バスに接続しないで半導体チップ上に設けられた入出力パッドに接続させるようにしてもよい。また、ユーザ論理IC43は、ゲートアレイの他、専用の論理を有するカスタムLSIであってもよい。

【0031】図2に示されているように、この実施例ではボッド部22内の評価用マイクロコンピュータと各周辺エバリュエーションチップ42A、42B、42Cおよびユーザ論理IC43とがバス45によって接続されるようにされているため、各チップ内のモジュール間の

接続とチップ間の接続との整合がとれるため信号の伝達性に優れているとともに、汎用バスと同一の仕様を用いてボード上のバス45を構成することにより拡張ボード40の設計が容易となる。

【0032】また、特に制限されないが、この実施例では上記周辺エバリュエーションチップ42A、42B、42Cおよびユーザ論理IC43はピン配置を共通化して互換性を持って拡張ボード40上に搭載できるように構成されている。従って、マイコン周辺エバリュエーションチップ42Aのみを3個使用して拡張ボード40を構成したり、マイコン周辺エバリュエーションチップ42Aを2個とASSPエバリュエーションチップ42Bを1個使用して拡張ボード40を構成したりすることができ、エミュレータの柔軟性が高くなる。

【0033】図3には、マイコン周辺エバリュエーションチップ42Aの構成例が示されている。この実施例のマイコン周辺エバリュエーションチップ42Aは、シングルチップ・マイクロコンピュータを構成する際に使用される周辺機能回路(モジュール)46およびコントロール回路48を1つの半導体チップ上に集積したものであり、各モジュール間は内部バス47にて結合されている。

【0034】上記マイコン周辺エバリュエーションチップ42Aに搭載されるモジュールとしては、内部のレジスタの値とタイマカウンタとの値が一致した時に別のレジスタの値をタイマカウンタに読み込んで計時する機能を有するリロードタイマ回路TIMと、複数本のタイマカウンタを有し各々が設定された時間を計時する機能を有するインテグレイテッド・タイマパルス・ユニットITUと、パルス幅変調用タイマ信号を形成する機能を有するパルス幅変調用タイマ回路DMAと、外部装置との間のシリアル通信機能を有するシリアル・コミュニケーション・インタフェース回路SCIと、信号の入出力機能を有する入出力ポートPRTと、上記各種タイマ回路からの出力パルスを合成したり加工したりしてユーザシステムに必要なタイミングパルスを形成して外部へ出力する機能を有するタイミングパターン制御回路TPCと、ディジタル出力信号をアナログ信号に変換する機能を有するD/A変換回路DACと、アナログ入力信号をディジタル信号に変換する機能を有するA/D変換回路ADC等がある。

【0035】また、コントロール回路48は、基本周波数クロックを発生する機能を有するクロック発生回路CPGと、基本周波数クロックを分周して周期や位相の異なる複数のクロック信号を形成する機能を有する分周回路PSCと、上記各モジュールに対して入出力停止信号IOSTOPを出力してモジュールのスタンバイ制御を行なうスタンバイ制御回路SYSと、アドレス信号をデコードする機能を有するアドレスデコード回路ADECと、内部バス47と外部バス45との間のインタフェー

スを行なうバス制御回路BSCと、割り込み制御機能を有する割り込みコントロール回路INTとから構成されている。

【0036】なお、特に制限されないが、この実施例のマイコン周辺エバリュエーションチップ42Aには、比較的個数を多く必要とするシリアル・コミュニケーション・インタフェース回路SCIは2個、入出力ポートPRTは3個それぞれ設けられている。

【0037】図4～図9には、上記コントロール回路48を構成する各モジュールの具体例が示されている。なお、図4～図9において、各回路ブロックの左側に示されている入出力信号はチップ外部の信号、右側に示されている入出力信号はチップ内部の信号である。

【0038】クロック発生回路CPGは、図4に示されているように、チップ外部より供給される基本周波数クロック ϕ を分周する分周器51と分周されたクロックから内部のモジュールの動作に必要な互いに位相の180°ずれた2相クロックCK1、CK2を発生するクロック生成回路52とから構成されている。また、分周回路PSCは、上記2相クロックCK1、CK2を分周して内部のモジュールの動作に必要な複数の分周クロックを出力する。バス制御回路BSCは、図5に示すように、外部より供給されるリード・ライト制御信号RD/WRに基づいて内部データバスPDB7～0をブチャージし外部データバスD15～8の信号に基づいて内部データバスを確定するプリチャージ制御回路を備えている。

【0039】スタンバイ制御回路SYSは、図6に示すように、外部データバスD15～D8に接続されプログラムの実行によって設定可能なソフトウェアスタンバイフラグレジスタSSFを備え、SSFをセットすることにより各モジュールをスタンバイ状態に遷移させ、SSFをリセットすることにより各モジュールをスタンバイ状態から動作状態へ復帰させる制御信号IOSTOPを形成するように構成されている。なお、このスタンバイ制御回路SYSは外部から供給されるスタンバイ制御信号STBYによってもモジュールをスタンバイ状態に遷移させることができるようにするため、オアゲートG01、G02を備えている。

【0040】割り込みコントロール回路INTは、図7に示されているように、内部の各モジュールから供給される割り込み要求信号を受けて優先順位を判定し外部のCPU(評価用マイクロコンピュータ)に対する割り込み信号IRQ0～IRQ15を発生する優先順位判定回路61と、内部モジュールからの上記割り込み要求信号をエンコードしていずれのモジュールから割り込み要求が入ったかを示すコードを生成するプライオリティエンコーダ62と、エンコードされた結果を保持するフラグレジスタ63とを備えている。フラグレジスタ63は、外部データバスに接続されており、割り込み要求を受けたCPUは外部バス45を介してフラグレジスタ63の内容を読み込

むことにより、割込みが発生したモジュールないしは割込み要因を知ることができるようになっている。

【0041】アドレスデコード回路ADECは、図8に示されているように、外部バス45上のアドレス信号A23～A12、A11～A0を受けてこれをデコードするデコーダDEC1、2、4、5と、外部から供給されるアドレスリロケーション信号ARELOC3～0およびチップロケーション信号CHIPLOC1、0をそれぞれデコードするデコーダDEC0およびDEC3と、デコーダDEC0とデコーダDEC1または2の出力信号を比較する比較回路CMP1と、上記デコーダDEC3とデコーダDEC4の出力信号を比較する比較回路CMP2と、比較回路CMP1とCMP2の出力の論理積をとるアンドゲートG100と、アンドゲートG30の出力とデコーダDEC5の出力信号に基づいて各モジュールに対する選択信号MS0～MS23を形成し出力するアンドゲートG0～G23と、動作モード判定回路MDCとを備えている。

【0042】上記アドレスリロケーション信号ARELOC3～0およびチップロケーション信号CHIPLOC1、0は、それぞれチップ外部に設けられたディップスイッチのような設定器から入力されるように構成されており、アドレスリロケーション信号ARELOC3～0を変えることでCPUのアドレス空間内の当該マイコン周辺エバリュエーションチップ42Aのアドレス位置を、図9に斜線で示されている16箇所のいずれかに設定し、チップロケーション信号CHIPLOC1、0を変えることで当該マイコン周辺エバリュエーションチップ42Aが複数個使用されている場合に各チップごとにアドレス位置をずらせるように構成されている。なお、動作モード判定回路MDCは、外部に設けられた設定から入力されるモード信号MOD2～0を受けて動作モードを決定し、上記デコーダDEC1または2のいずれかの出力信号を選択して比較回路CMP1に供給することでアドレス空間（1メガまたは16メガ）の切り替えを行なう。

【0043】図10には、ボッド部22内に設けられている評価用マイクロコンピュータチップの一構成例が示されている。同図に示されているように、評価用マイクロコンピュータ60には、演算制御機能を有するプロセッサ（中央処理装置）CPUを含むコントロール回路61と、ブロック転送制御機能を有するブロック転送制御回路DMAと、随時読み出し書込み可能な記憶機能を有するランダム・アクセス・メモリRAMと、上記RAMがダイナミック回路からなる場合にそのリフレッシュ信号を発生する機能を有するリフレッシュ制御回路REFと、ハードウェアの異常を検出するためのタイマ信号を発生する機能を有するウォッチドッグタイマ回路WDTと、前述したのと同様な機能を有するタイミングパターン制御回路TPCと、外部装置との間のシリアル通信機

能を有するシリアル・コミュニケーション・インタフェース回路SCIと、ディジタル出力信号をアナログ信号に変換する機能を有するD/A変換回路DACと、CPUから出力されるアドレス信号をデコードしてモジュール等の選択信号を形成する機能を有するアドレスデコード回路DECと、前述したのと同様な機能を有するインテグレイテッド・タイマパルス・ユニットITUと、信号の入出力機能を有する入出力ポートPRTと、アナログ入力信号をディジタル信号に変換する機能を有するA/D変換回路ADCと、ディジタル出力信号をアナログ信号に変換する機能を有するD/A変換回路DACとがモジュール62として設けられている。そして、上記各モジュール62とコントロール回路61との間は、内部バス63によって接続されている。

【0044】上記コントロール回路61は、上記マイコン周辺エバリュエーションチップ42A内のコントロール回路48とほぼ同一の構成であり、プロセッサCPUの他に、基本周波数クロックを発生する機能を有するクロック発生回路CPGと、基本周波数クロックを分周して周期や位相の異なる複数のクロック信号を形成する機能を有する分周回路PSCと、アドレス信号をデコードする機能を有するアドレスデコード回路DECと、割り込み制御機能を有する割込みコントロール回路INTとを備えている。また、コントロール回路61は、各モジュール62に対して入出力停止信号IOSTOPを出力してモジュールのスタンバイ制御を行なうスタンバイ制御回路SYSと、内部バスと外部バスとの間のインタフェースを行なうバス制御回路BSCを備えておらず、代わりに、エミュレーション制御回路EMCを備えている。

【0045】なお、この実施例では、特に制限されないが、ブロック転送制御回路DMAが2個設けられている。

【0046】上記エミュレーション制御回路EMCは、エミュレータ本体20との間の信号の制御やユーザシステム10のデバッグ時のデバッグ制御を行なうものであり、図11にその具体的回路構成例が示されている。同図において、回路ブロックの左側に示されている入出力信号はチップ外部の信号、右側に示されている入出力信号はチップ内部の信号である。

【0047】図11に示されているように、エミュレーション制御回路EMCは、CPUステータス信号を生成するステータス判定回路71と、アクセス状態信号を生成する第1の状態デコード回路72と、チップ状態信号を生成する第2の状態デコード回路73と、デバッグ時にCPUに対するコントロール信号を生成するデバッグレジスタ74と、ウォッチドッグタイマに対するコントロール信号を生成するウォッチドッグタイマ制御回路75等からなる。

【0048】上記ステータス判定回路71は、プロセッ

11

サCPUに入出力される各種コントロール信号を監視して、CPUの命令デコードサイクルやオペコードフェッチサイクル等を示すCPUステータス信号を生成して外部へ出力する。上記状態デコード回路72は、プロセッサCPUに入出力される各種コントロール信号を監視して、ブレーク動作やCPUのリード/ライト動作を示すアクセス状態信号を生成して外部へ出力する。第2の状態デコード回路73は、プロセッサCPUに入出力される各種コントロール信号を監視して、スタンバイ状態やバス解放状態等を示すチップ状態信号を生成して外部へ出力する。上記CPUステータス信号やアクセス状態信号、チップ状態信号をエミュレータ本体内のトレースメモリ等に逐次記憶することにより、エミュレーション後の解析が容易となる。

【0049】上記デバッグレジスタ74は、エミュレータ本体から供給されるエミュレーションコントロール信号を監視することにより、ユーザシステムデバッグ時にCPUに対するブレーク信号のようなコントロール信号を生成する。ウォッチドッグタイマ制御回路75は、エミュレータ本体から供給されるエミュレーションコントロール信号を監視することにより、ブレーク中にウォッチドッグタイマを停止させるためのコントロール信号を生成する。

【0050】以上説明したように、上記実施例は、CPUの周辺モジュールをそれぞれ一つの半導体チップ上に形成する代わりに、複数の周辺モジュールを一つの半導体チップ上に搭載したエミュレータ用周辺エバリュエーションチップを用意しておくとともに、それらの周辺エバリュエーションチップおよびエミュレータのボッド部が接続可能な複数のソケットとそれらのICおよびボッド部が搭載もしくは接続された時にカスタム・マイクロコンピュータの機能を実現可能なように設計された配線もしくは結線用コネクタを備え、かつユーザシステムのCPUソケットに接続可能なケーブルを備えた拡張ボードを用意しておくようにしたので、周辺モジュールを個別にIC化する必要がないためカスタム・マイクロコンピュータおよびそれを用いたユーザシステム用のエミュレータを開発する場合の期間が短縮されるとともに、モジュール間の多くの信号の伝達は半導体チップ内で行なわれるためカスタム・マイクロコンピュータ用のエミュレータの高速化を図ることができるとともに、エミュレータを構成するチップの数が少ないため、拡張ボードに設けられるソケットの数も少なく済みボードの小型化を図ること可能となるという効果がある。

【0051】また、ユーザが設計した論理回路を例えばゲートアレイによりIC化したものを搭載可能にするソケットを拡張ボードに設けておくようにしたので、多種多様なカスタム・マイクロコンピュータおよびそれを用いたユーザシステムを短期間に開発することができる。

【0052】さらに、周辺エバリュエーションチップお

12

よびユーザ論理ICのピン配置を共通化して互換性を持って拡張ボードに搭載できるように構成したので、柔軟性の高いエミュレータを実現することができる。

【0053】以上本発明によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、周辺エバリュエーションチップを構成するモジュールの種類および数は図3の実施例に限定されず、使用頻度等を考慮して任意のモジュールを任意の数だけ搭載したものを用意すればよい。また、拡張ボードには必ずしもユーザ論理ICを搭載可能なソケットを設ける必要はなく、省略することも可能である。また、ユーザが自由に使用できるオプション用ソケットを設けてもよい。

【0054】さらに、上記拡張ボードを2枚に分け、エミュレータ本体からのケーブルを1枚目の拡張ボードに接続し、1枚目の拡張ボードからのケーブルを2枚目の拡張ボードに接続し、1枚目の拡張ボードからのケーブルをユーザシステムに接続させるようにしてもよい。また、上記実施例では、エミュレータ本体から引出されたケーブル先端のボッド部にエミュレーションの対象となるシステムのマイクロコンピュータと同等の機能を有する評価用マイクロコンピュータチップが内蔵されているが、この評価用マイクロコンピュータチップはエミュレータ本体内に設けられ、ケーブルの先端には単にプラグが設けられているものであってもよい。

【0055】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるカスタム・マイクロコンピュータを用いたユーザシステムのエミュレータに適用した場合について説明したが、この発明はそれに限定されるものでなく、汎用マイクロコンピュータもしくはそれを用いた応用システムのエミュレータにも利用することができる。

【0056】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0057】すなわち、カスタム・マイクロコンピュータおよびそれを用いたユーザシステムの開発期間を短縮できるとともに、カスタム・マイクロコンピュータを用いたユーザシステムのエミュレーションを行なう装置の小型化および高速化を図ることができる。

【0058】また、汎用マイクロコンピュータを用いた応用システム用に開発されたエミュレータを使用して、カスタム・マイクロコンピュータを用いたユーザシステムのデバッグやそのシステムの詳細な評価を行なえるようになる。

【図面の簡単な説明】

【図1】本発明をカスタム・マイクロコンピュータを用いたユーザシステムのエミュレータに適したシステムの

13

構成例を示すブロック図、

【図2】拡張ボードの構成例を示すブロック図、

【図3】マイコン周辺エバリュエーションチップの構成例を示すブロック図、

【図4】クロック発生回路および分周回路の構成例を示すブロック図、

【図5】バス制御回路の構成例を示すブロック図、

【図6】スタンバイ制御回路の構成例を示すブロック図、

【図7】割込みコントロール回路の構成例を示すブロック図、

【図8】アドレスデコード回路の構成例を示すブロック図、

【図9】アドレス空間内でのマイコン周辺エバリュエーションチップの配置可能状態を説明するアドレスマップ、

【図10】ボード部に設けられている評価用マイクロコンピュータチップの一構成例を示すブロック図、

【図11】エミュレーション制御回路の構成例を示すブ

14

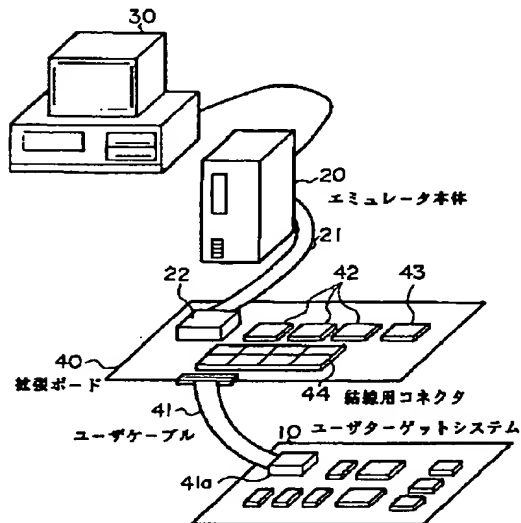
ロック図、

【図12】従来のLSIの設計方法の概略およびそれにより設計されたカスタム・マイクロコンピュータのレイアウト図の一例を示す平面図である。

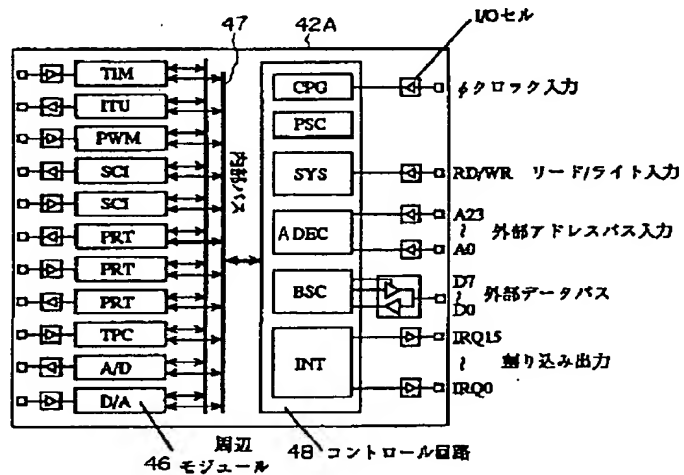
【符号の説明】

- 10 ユーザシステム
- 20 エミュレータ本体
- 22 ボード部
- 30 ワークステーションもしくはパーソナルコンピュータ
- 40 拡張ボード
- 41 ケーブル
- 42 マイコン周辺エバリュエーションチップ
- 43 ユーザ論理IC (ゲートアレイ)
- 44 結線用コネクタ
- 42A マイコン周辺エバリュエーションチップ
- 42B ASSPエバリュエーションチップ
- 42C アナログエバリュエーションチップ

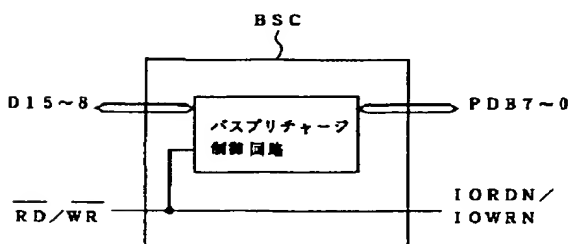
【図1】



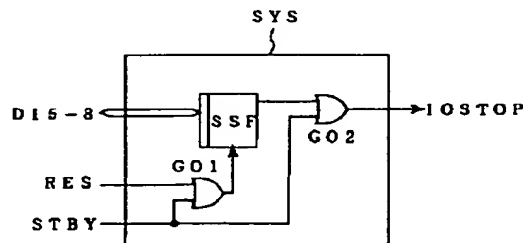
【図3】



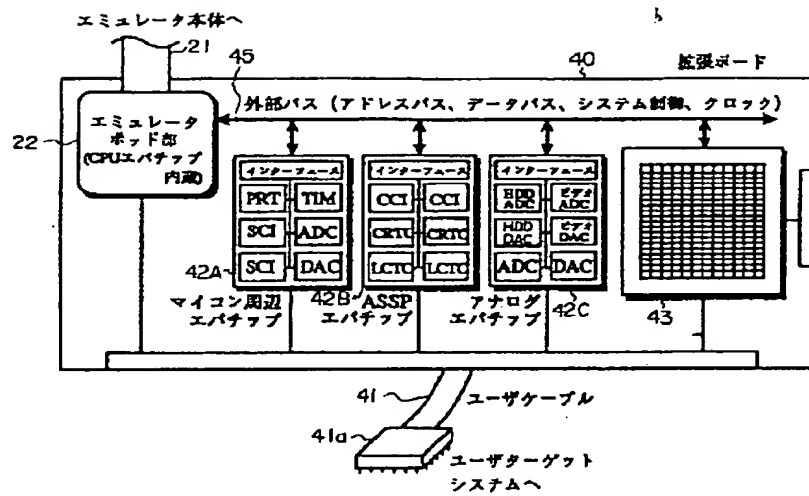
【図5】



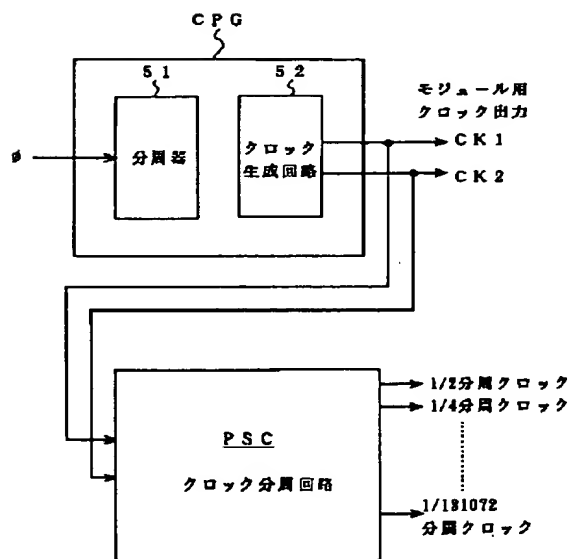
【図6】



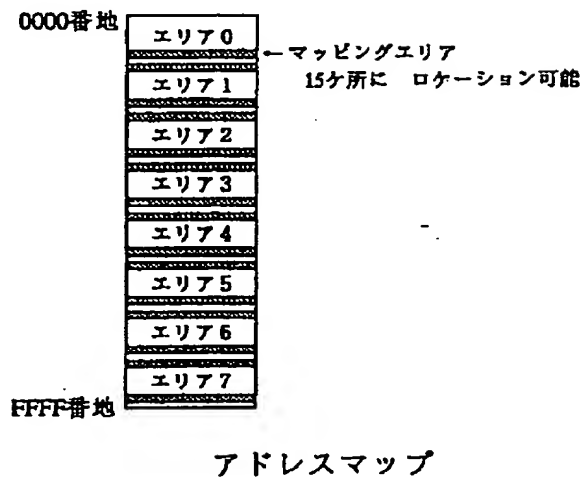
【図2】



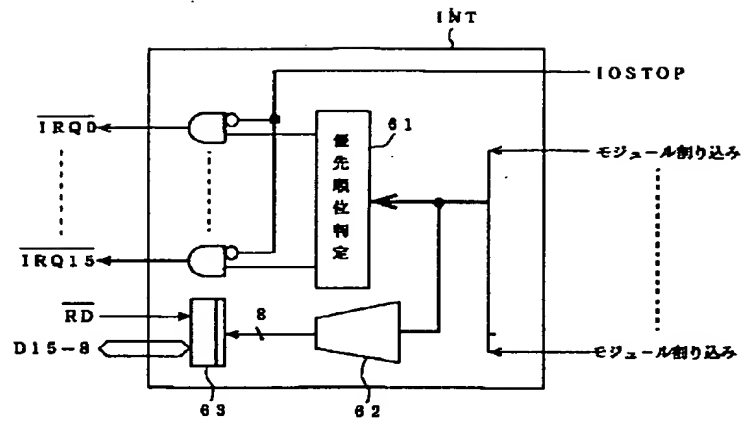
【図4】



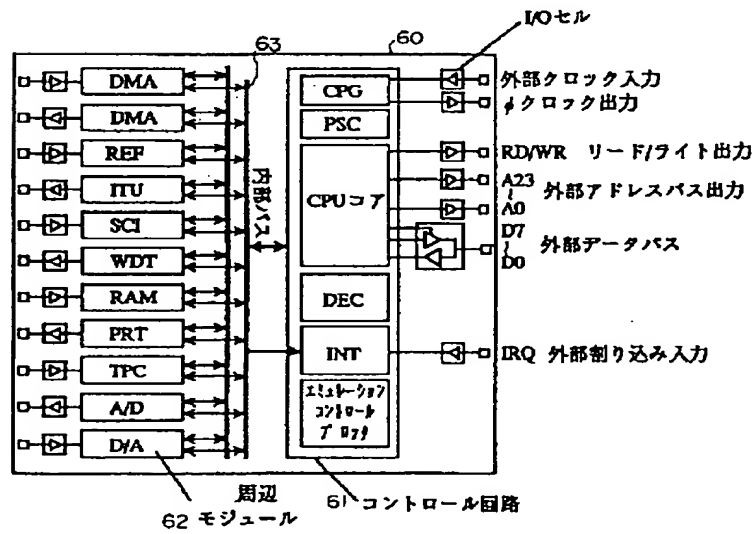
【図9】



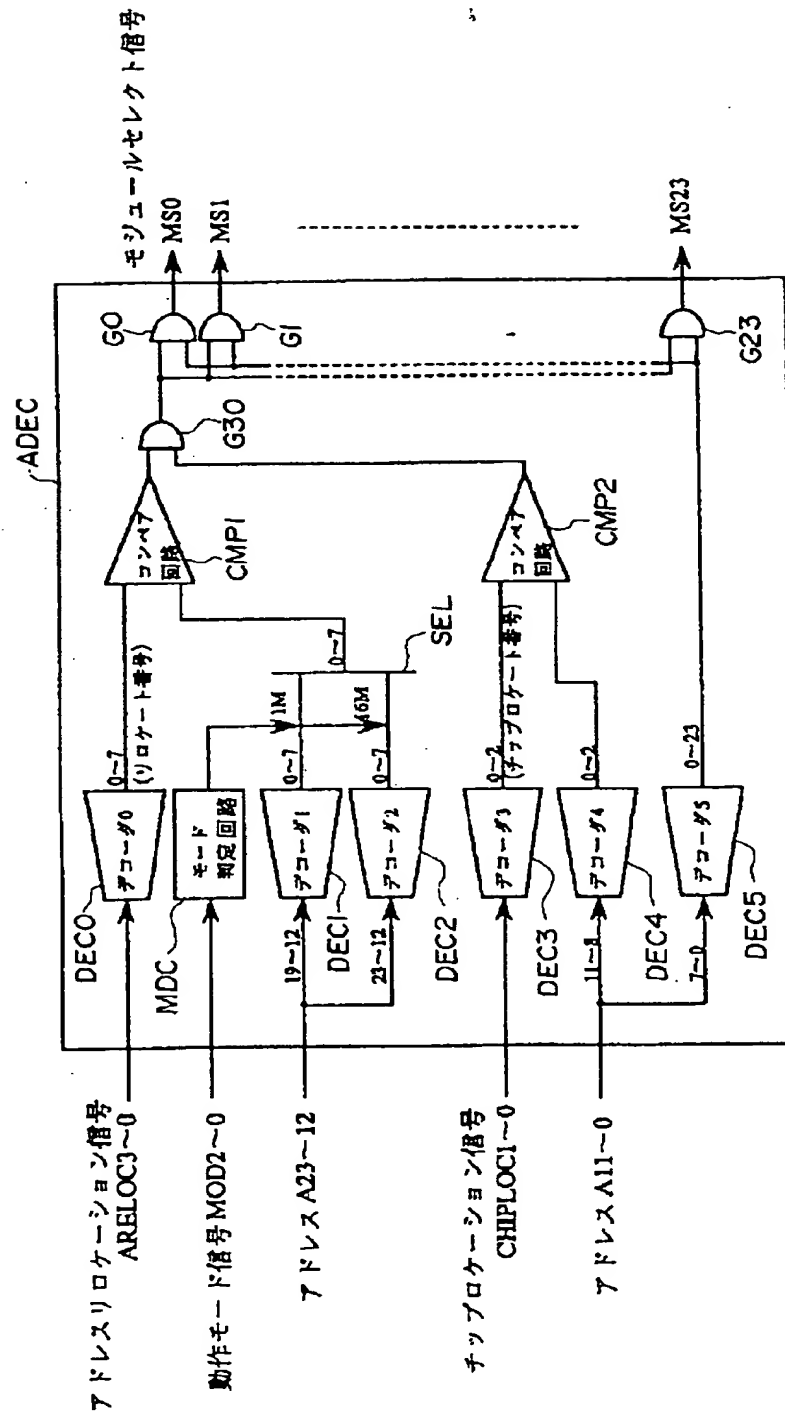
【図7】



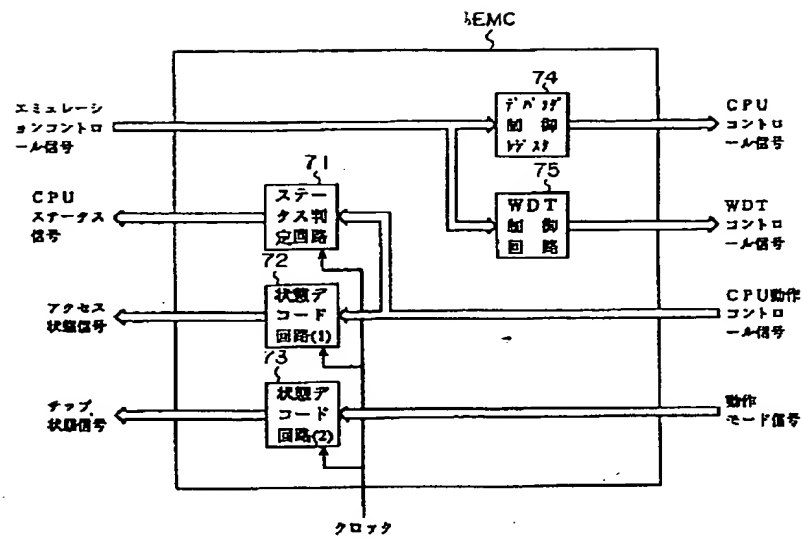
【図10】



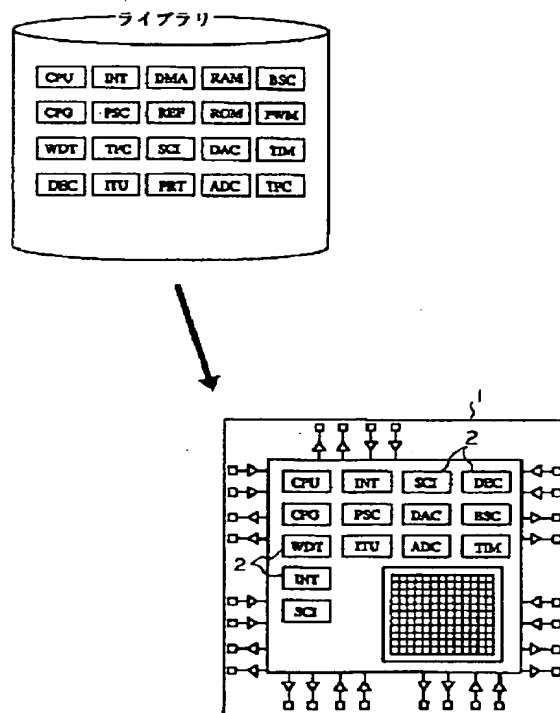
【図8】



【図11】



【図12】



フロントページの続き

(72)発明者 構 昭一

東京都小平市上水本町5丁目20番1号 株
式会社日立製作所半導体事業部内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-262037

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

G06F 11/22⁵

(21)Application number : 06-053920

(71)Applicant : HITACHI LTD

(22)Date of filing : 24.03.1994

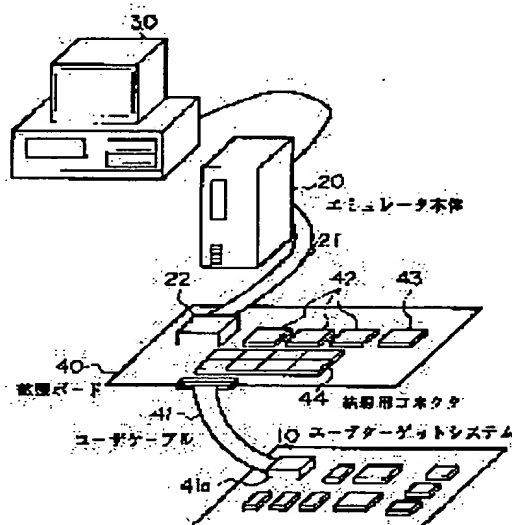
(72)Inventor : UCHIDA SATORU
HAGIWARA YOSHIMUNE
HIRACHI KAZUHARU
KAMAE SHOICHI

(54) CONSTITUTING METHOD FOR EMULATOR AND EXTENSION BOARD FOR EMULATOR

(57)Abstract:

PURPOSE: To shorten the term in the case of developing a custom microcomputer and an emulator for user system using that microcomputer by eliminating necessity to individually make peripheral modules into IC, and to accelerate the speed of the emulator by transmitting a lot of signals between the modules inside a semiconductor chip.

CONSTITUTION: This method is provided with a connector 40 for wiring and connecting designed so that the function of the custom microcomputer is realizable when plural sockets for connecting peripheral evaluation chips 42 and pod parts 22 at a main body 20 of the emulator are loaded or connected with those IC and pod parts. At the same time, an extension board 40 provided with a cable to be connected to the CPU socket of a user system is prepared and the emulator is constituted by mounting just a desired number of peripheral evaluation chips equipped with desired peripheral function blocks on the extension board and connecting this extension board between the main body of the emulator and an application system.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office